

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Docket No. 1232-5237

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Akira KURIYAMA, et al.

Group Art Unit: 2812

Serial No.: 10/735,062

Examiner: Unassigned

Filed: December 11, 2003

For: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

CLAIM TO CONVENTION PRIORITY

Mail Stop _____
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In the matter of the above-identified application and under the provisions of 35 U.S.C. §119 and 37 C.F.R. §1.55, applicants claim the benefit of the following prior application:

Application(s) filed in: Japan
In the name of: Canon Kabushiki Kaisha
Serial No: 10/735,062
Filing Date: December 11, 2003

Pursuant to the Claim to Priority, applicants submit a duly certified copy of said foreign application.
 A duly certified copy of said foreign application is in the file of application Serial No. _____, filed _____.

Respectfully submitted,
MORGAN & FINNEGAN, L.L.P.

Dated: 04/23/04

By:

Mark D. Pratt
Mark D. Pratt
Registration No. 45,794
(202) 857-7887 Telephone
(202) 857-7929 Facsimile

Correspondence Address:

MORGAN & FINNEGAN, L.L.P.
345 Park Avenue
New York, NY 10154-0053

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月13日
Date of Application:

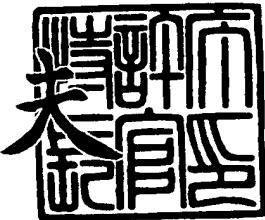
出願番号 特願2002-363134
Application Number:
[ST. 10/C] : [JP 2002-363134]

出願人 キヤノン株式会社
Applicant(s):

2004年 1月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願
【整理番号】 226581
【提出日】 平成14年12月13日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/203
H01L 27/02
【発明の名称】 半導体デバイスマレイ及びその製造方法
【請求項の数】 32
【発明者】
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会
社内
【氏名】 栗山 朗
【発明者】
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会
社内
【氏名】 宮田 浩克
【発明者】
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会
社内
【氏名】 福谷 和彦
【発明者】
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会
社内
【氏名】 大倉 央
【発明者】
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会
社内
【氏名】 小川 美紀

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

【氏名】 オットー・アルブレヒト

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100065385

【弁理士】

【氏名又は名称】 山下 穂平

【電話番号】 03-3431-1831

【選任した代理人】

【識別番号】 100122921

【弁理士】

【氏名又は名称】 志村 博

【電話番号】 03-3431-1831

【手数料の表示】

【予納台帳番号】 010700

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0213163

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体デバイスアレイ及びその製造方法

【特許請求の範囲】

【請求項 1】 柱状の部材と該柱状の部材を取り囲む領域を含む構造体を用意する工程、該構造体から該柱状の部材を除去して多孔質体を形成する工程、及び該多孔質体に材料を導入し p-n あるいは p-i-n 接合を形成する工程を有することを特徴とする半導体デバイスアレイの製造方法。

【請求項 2】 前記構造体は、第1の材料を含み構成される前記柱状の部材が、第2の材料を含み構成される前記領域に取り囲まれており、且つ該構造体には該第2の材料が、該第1の材料と第2の材料の全量に対して 20 atomic% 以上 70 atomic% 以下の割合で含まれている請求項 1 記載の半導体デバイスアレイの製造方法。

【請求項 3】 柱状の部材とそれを取り囲む領域を含み構成される構造体から、該柱状の部材を除去して得られる多孔質体に p-n あるいは p-i-n 接合を形成して得られることを特徴とする半導体デバイスアレイ。

【請求項 4】 前記構造体は、第1の材料を含み構成される前記柱状の部材が、第2の材料を含み構成される前記領域に取り囲まれており、且つ該構造体には該第2の材料が、該第1の材料と第2の材料の全量に対して 20 atomic% 以上 70 atomic% 以下の割合で含まれている請求項 3 記載の半導体デバイスアレイ。

【請求項 5】 第一の成分と共晶を形成し得る第二の成分を含み構成されるマトリクス部材中に該第一の成分を含み構成される柱状物質が分散している構造体から前記柱状物質を除去して形成された柱状の孔を有する多孔体と、該孔内に形成された、少なくとも 1 つの p-n 結合もしくは p-i-n 結合を有する半導体領域と、該半導体領域の上下に設置された一対の電極とを備えた半導体デバイスを複数個基板上に有する半導体デバイスアレイ。

【請求項 6】 第一の成分と共晶を形成し得る第二の成分を含み構成されるマトリクス部材中に該第一の成分を含み構成される柱状物質が分散している構造体から前記柱状物質を除去して形成された柱状の孔を有する多孔体の前記孔に半導体材料を充填し、且つ該マトリクス部材を除去することで形成された、少なく

とも1つのp-n結合もしくはp-i-n結合を有する半導体領域と、該半導体領域の上下に設置された一対の電極とを備えた半導体デバイスを複数個基板上有する半導体デバイスアレイ。

【請求項7】 前記半導体デバイスがダイオードである、請求項5または6に記載の半導体デバイスアレイ。

【請求項8】 前記ダイオードが発光ダイオードである、請求項7に記載の半導体デバイスアレイ。

【請求項9】 前記ダイオードがフォトダイオードである、請求項7に記載の半導体デバイスアレイ。

【請求項10】 前記半導体デバイスがトランジスタである、請求項5または6に記載の半導体デバイスアレイ。

【請求項11】 前記トランジスタがフォトトランジスタである、請求項10に記載の半導体デバイスアレイ。

【請求項12】 前記多孔体が、薄膜状である請求項5～11のいずれか1項に記載の半導体デバイスアレイ。

【請求項13】 前記多孔体に化学的処理を施した後、前記孔内に前記半導体デバイスを作製して得られる請求項5～12に記載のいずれか1項に半導体デバイスアレイ。

【請求項14】 前記化学的処理が酸化処理である請求項13に記載の半導体デバイスアレイ。

【請求項15】 前記構造体に対する、前記多孔体のマトリクス部材の第二の成分の割合が、20 atomic%以上70 atomic%以下の範囲にある請求項5～14のいずれか1項に記載の半導体デバイスアレイ。

【請求項16】 前記柱状物質がアルミニウムであり、前記マトリクス部材の第二成分がシリコンである請求項15に記載の半導体デバイスアレイ。

【請求項17】 前記柱状物質がアルミニウムであり、前記マトリクス部材の第二成分がゲルマニウムである請求項15に記載の半導体デバイスアレイ

【請求項18】 前記多孔体の主成分がシリコンである請求項5～14のいずれか1項に記載の半導体デバイスアレイ。

【請求項 19】 前記多孔体の主成分がゲルマニウムである請求項 5～14 のいずれか 1 項に記載の半導体デバイスアレイ。

【請求項 20】 前記半導体デバイスの直径が 0.5 nm 以上 15 nm 以下である、請求項 5～19 のいずれか 1 項に記載の半導体デバイスアレイ。

【請求項 21】 前記半導体デバイスの直径が 1 nm 以上 10 nm 以下である、請求項 5～20 のいずれか 1 項に記載の半導体デバイスアレイ。

【請求項 22】 前記半導体デバイス同士の間隔が 15 nm 以下である、請求項 5～21 のいずれか 1 項に記載の半導体デバイスアレイ。

【請求項 23】 前記半導体デバイス同士の間隔が 3 nm 以上 10 nm 以下である、請求項 5～22 のいずれか 1 項に記載の半導体デバイスアレイ。

【請求項 24】 前記柱状物質は結晶性物質であり、前記マトリクス部材は非晶質物質である、請求項 5～23 のいずれか 1 項に記載の半導体デバイスアレイ。

【請求項 25】 次の工程 (a) から (e) を有することを特徴とする半導体デバイスアレイの製造方法。

(a) 基板上に電極を設置する工程

(b) 第一の成分を含み構成される柱状物質が、該第一の成分と共に晶を形成し得る第二の成分を含み構成されるマトリクス部材中に分散している構造体を前記基板上に形成する工程

(c) 前記柱状物質を除去する工程

(d) 前記除去工程により得られる柱状の空孔内に少なくとも 1 つの p-n 接合または p-i-n 接合を持つ半導体領域を作製する工程

(e) 前記半導体領域を作製した前記構造体上部に電極を作製する工程

【請求項 26】 前記除去工程が、エッチングである請求項 25 に記載の半導体デバイスアレイの製造方法。

【請求項 27】 前記柱状物質を除去する工程の後に、前記第二の成分を含み構成されるマトリクス部材を化学処理する工程を有することを特徴とする請求項 25 または 26 に記載の半導体デバイスアレイの製造方法。

【請求項 28】 前記化学処理が酸化である請求項 27 に記載の半導体デバ

イスアレイの製造方法。

【請求項29】 前記柱状物質を除去する工程の後に、前記柱状の空孔の孔径を広げる工程を有することを特徴とする請求項25～28のいずれか1項に記載の半導体デバイスアレイの製造方法。

【請求項30】 前記上部に電極を作製する工程の後に、前記柱状物質を取り囲む前記マトリクス部材を除去する工程を有することを特徴とする請求項25～29のいずれか1項に記載の半導体デバイスアレイの製造方法。

【請求項31】 前記半導体領域の作製工程が、化学気相蒸着（CVD）法である請求項25～30のいずれか1項に記載の半導体デバイスアレイの製造方法。

【請求項32】 前記半導体領域の作製工程が、前記空孔の底部に触媒を形成した後に触媒反応によって行う工程である請求項25～30のいずれか1項に記載の半導体デバイスアレイの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体デバイスアレイ及びその製造方法に関するものであって、特に面発光素子、自発光表示装置及びイメージセンサなどに適応可能な新規な半導体デバイスアレイ及びその製造方法に関する。

【0002】

【従来の技術】

従来、ダイオードやトランジスタなどの半導体デバイスのアレイは個々に製造した半導体デバイスチップを規則的に配列させ結線することで作製されてきたが、近年のエレクトロニクス機器の小型化、高集積化に伴い半導体デバイスアレイも高密度化、ワンチップ化することが求められている。

【0003】

例えば、エリアイメージセンサとして用いられるCCDチップの受光部を形成するフォトダイオードアレイの個々のダイオードは、現在販売されている物のなかで最小のものでは約3μm角である。また、パソコンなどの頭脳にあたるCP

UやメモリーであるDRAMに用いられる最先端の半導体プロセスの設計ルールは0.13μmであり、このことは現時点ではフォトリソグラフィを用いた半導体加工技術を用いて商業的に作製できる構造体は0.13μmサイズが限界であることを示している。

【0004】

更に微細な構造体の作製方法としては、例えば、更に短波長の光を用いたフォトリソグラフィをはじめ、電子線露光、X線露光などの微細パターン形成技術をはじめとする半導体加工技術によって直接的にナノ構造体を作製する方法が挙げられる。

【0005】

一方で、上述の半導体加工技術とは別に、材料の自己組織化(self-organization)現象を利用する手法がある。即ち、自然に形成される規則的な構造をベースに、新規な微細構造体を実現しようというものである。

【0006】

この自己組織化現象を利用する手法では、ミクロンオーダーは勿論、ナノオーダーの構造体を簡易に実現できる可能性があるため、多くの研究が行われ始めている。

【0007】

このような自己組織化手法として、ナノサイズの空孔を有するナノ構造体を制御よく大面積に形成できる陽極酸化が挙げられる。たとえば、アルミニウムを酸性浴中で陽極酸化することで作製する陽極酸化アルミナが知られている。

【0008】

アルミニウムの陽極酸化は、アルミニウム板あるいは基板上に形成されたアルミニウム膜を酸性電解質中で陽極酸化すると、多孔質酸化被膜(陽極酸化アルミナ)が形成される。(たとえば非特許文献1等参照)。この多孔質酸化被膜の特徴は、直径が数十nm～数百nmの極めて微細な円柱状空孔(ナノホール)が、数十nm～数百nmの間隔(セルサイズ)で平行に配列するという特異的な幾何学的構造を有することにある。この円柱状の空孔は、空孔間隔が数十nm以上の場合は、高いアスペクト比を有し、断面の径の一様性にも比較的優れている。

この空孔の径及び間隔は、陽極酸化の際の酸の種類、電圧を調整することによりある程度の制御が可能である。具体的には電圧を低下させると空孔の間隔を低減できる。また、陽極酸化被膜の厚さ及び空孔の深さは、陽極酸化の時間を制御することにより、ある程度の制御が可能である。

【0009】

この陽極酸化ナノホール内に金属や半導体等を充填する技術や、ナノホールのレプリカ技術を用いることにより、着色、磁気記録媒体、EL発光素子、エレクトロクロミック素子、光学素子、太陽電池、ガスセンサをはじめとするさまざまな応用が試みられている。さらには、量子細線、MIM素子などの量子効果デバイス、ナノホールを化学反応場として用いる分子センサー、など多方面への応用が期待されている（非特許文献2）。更に特許文献1では、アルミナナノホール内にZnOを埋め込み基板に対して垂直方向平行な方向で発光波長の強度が違う発光デバイスが提案されている。

【0010】

また、ナノホールを用いたプロセス以外のプロセスで微細な構造を作製した例として、例えば微粒子金属がお互いの電気あるいは磁気的な相互作用により、自己組織化的に結合することを利用して、ワイヤ状の金属微粒子集合体を形成する方法が特許文献2に開示されている。

【0011】

また、金などの微粒子を触媒として自己組織化的にナノワイヤを成長させるvapor-liquid-solid(VLS)法を用いて、p型とn型のインジウムーリンの単結晶ナノワイヤを作製し、これらを接触させて発光させたという報告もある（非特許文献3）。

【0012】

【特許文献1】

特開2001-162600号公報

【特許文献2】

特開平10-321834号公報

【非特許文献1】

RC. Furneaux、W. R. Rigby&A. P. Davidson "Nature" Vol. 337, P147 (1989)

【非特許文献 2】

益田 "固体物理" 31, 493 (1996)

【非特許文献 3】

M. Lieber ら "Nature" Vol. 409, P66 (2001)

【0013】

【発明が解決しようとする課題】

しかし、CCDなどを半導体部品を組み込んだ機器が更に小型化高精細化を求められるに従い、リソグラフィ等の半導体加工技術は 0.1 μ m 以下の加工精度が必要になってきたが、深紫外光やより波長が短い X 線を光源とした場合、縮小光学系の作製が困難である、光源が巨大になる、といった問題が生じる。また電子線描画の場合は、描画速度が遅いという問題がある。

【0014】

このように、従来のフォトリソグラフィなどの微細パターン形成技術を代表される半導体加工技術によって直接的に微細構造体を作製する手法は個々の素子のサイズが小さくなるに従って飛躍的に困難になってゆく。

【0015】

更に、この半導体加工技術による直接的な微細構造体の製造は、歩留まりの悪さや装置のコストが高いなどの問題があり、簡易な手法で再現性よく作製できる手法が望まれている。

【0016】

本発明の目的は、量子効果も期待できるナノオーダー サイズの半導体デバイスとこの半導体デバイスのアレイを提供することである。

【0017】

また、本発明は上記のような高密度な半導体デバイスアレイおよびこのアレイを用いたデバイスの製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】

上述したような技術的背景により、本発明者らは上記課題に対して種々の検討

を加えた結果、ナノスケールの柱状構造を形成する新規なナノ構造材料を用いることで、従来達成できなかった微細な半導体デバイスアレイを高密度で形成する方法を見出し、本発明に至った。

【0019】

すなわち、上記の目的を達成することができる本発明の第一の発明は、第一の成分と共に晶を形成し得る第二の成分を含み構成されるマトリクス部材中に該第一の成分を含み構成される柱状物質が分散している構造体から前記柱状物質を除去して形成された柱状の孔を有する多孔体と、該孔内に形成された、少なくとも1つのp-n結合もしくはp-i-n結合を有する半導体領域と、該半導体領域の上下に設置された一対の電極とを備えた半導体デバイスを複数個基板上に有する半導体デバイスアレイである。

【0020】

また本発明の第二の発明は、第一の成分と共に晶を形成し得る第二の成分を含み構成されるマトリクス部材中に該第一の成分を含み構成される柱状物質が分散している構造体から前記柱状物質を除去して形成された柱状の孔を有する多孔体の前記孔に半導体材料を充填し、且つ該マトリクス部材を除去することで形成された、少なくとも1つのp-n結合もしくはp-i-n結合を有する半導体領域と、該半導体領域の上下に設置された一対の電極とを備えた半導体デバイスを複数個基板上に有する半導体デバイスアレイである。

【0021】

本発明においては、前記半導体デバイスがダイオード、特に発光ダイオードまたはフォトダイオードであることを特徴とする。また本発明においては、前記半導体デバイスがトランジスタ、特にフォトトランジスタであることを特徴とする。

【0022】

また本発明においては、前記多孔体が薄膜状であることが好ましい。

【0023】

また本発明においては、前記多孔体に化学的処理を施した後、前記孔内に前記半導体デバイスを作製して得られるデバイスアレイであることが好ましい。特に

前記化学的処理が酸化処理であることが好ましい。

【0024】

また本発明においては、前記構造体に対する、前記多孔体のマトリクス部材の第二の成分の割合が、20 atomic %以上70 atomic %以下の範囲にあることが好ましい。さらに前記柱状物質がアルミニウムであり、前記マトリクス部材の第二成分がシリコン又はゲルマニウムであることが好ましい。

【0025】

また本発明においては、前記多孔体の主成分がシリコン又はゲルマニウムであることが好ましい。

【0026】

また本発明においては、前記半導体デバイスの直径が0.5 nm以上15 nm以下であることが好ましく、更に1 nm以上10 nm以下であるとなお好ましい。

【0027】

また本発明においては、前記半導体デバイス同士の間隔が15 nm以下であることが好ましく、更に3 nm以上10 nm以下であるとなお好ましい。

【0028】

また本発明においては、前記柱状物質は結晶性物質であり、前記マトリクス部材は非晶質物質であることが好ましい。

【0029】

本発明の第三の発明は、次の工程（a）から（e）を有することを特徴とする半導体デバイスアレイの製造方法である。

- (a) 基板上に電極を設置する工程
- (b) 第一の成分を含み構成される柱状物質が、該第一の成分と共に晶を形成し得る第二の成分を含み構成されるマトリクス部材中に分散している構造体を前記基板上に形成する工程
- (c) 前記柱状物質を除去する工程
- (d) 前記除去工程により得られる柱状の空孔内に少なくとも1つのp-n接合またはp-i-n接合を持つ半導体領域を作製する工程

(e) 前記半導体領域を作製した前記構造体上部に電極を作製する工程

本発明においては、前記除去工程としてエッチングが好ましく用いられる。

【0030】

また本発明においては、前記柱状物質を除去する工程の後に、前記第二の成分を含み構成されるマトリクス部材を化学処理する工程を有してもよい。

【0031】

特に前記化学処理が酸化であることが好ましい。

【0032】

また本発明においては、前記柱状物質を除去する工程の後に、前記柱状の空孔の孔径を広げる工程を有してもよい。

【0033】

また本発明においては、前記上部に電極を作製する工程の後に、前記柱状物質を取り囲む前記マトリクス部材を除去する工程を有してもよい。

【0034】

本発明においては、前記半導体領域の作製工程として、化学気相蒸着（CVD）法が好ましく用いられる。

【0035】

また本発明においては、前記半導体領域の作製工程として、前記空孔の底部に触媒を形成した後に触媒反応によって行う工程が好ましく用いられる。また、本発明に係る半導体デバイスアレイの製造方法は、柱状の部材と該柱状の部材を取り囲む領域を含む構造体を用意する工程、該構造体から該柱状の部材を除去して多孔質体を形成する工程、及び該多孔質体に材料を導入し p-n あるいは p-i-n 接合を形成する工程を有することを特徴とする。

【0036】

また、本発明に係る半導体デバイスアレイは、柱状の部材とそれを取り囲む領域を含み構成される構造体から、該柱状の部材を除去して得られる多孔質体に p-n あるいは p-i-n 接合を形成して得られることを特徴とする。

【0037】

ここで、前記構造体は、第1の材料を含み構成される前記柱状の部材が、第2

の材料を含み構成される前記領域に取り囲まれており、且つ該構造体には該第2の材料が、該第1の材料と第2の材料の全量に対して20 atomic%以上70 atomic%以下の割合で含まれているのがよい。

【0038】

【発明の実施の形態】

以下に、本発明の実施形態について図面を用いて詳細に説明する。

【0039】

本発明の実施形態の説明に先立って、本発明に用いられる、第一の成分（材料）と共に晶を形成し得る第二の成分（材料）を含み構成されるマトリクス部材中に該第一の成分（材料）を含み構成される柱状物質が分散している構造体について説明する。

（実験例：第1の材料A1、第2の材料Si）

シリコンに周囲を囲まれたアルミニウム構造体部分が円柱状構造であり、その径2rが3nmであり、間隔2Rが7nm、長さLが200nmであるアルミニウム細線について示す。

【0040】

まず、アルミニウム細線の作製方法を説明する。

【0041】

ガラス基板上に、RFマグнетロンスパッタリング法を用いて、シリコンをアルミニウムとシリコンの全量に対して55 atomic%含んだアルミニウムシリコン混合膜を約200nm形成する。ターゲットには、4インチのアルミニウムターゲット上に15mm角のシリコンチップ13を8枚おいたものを用いた。スパッタ条件は、RF電源を用いて、Ar流量：50sccm、放電圧力：0.7Pa、投入電力：1kWとした。また、基板温度は室温とした。

【0042】

なお、ここではターゲットとして、アルミニウムターゲット上にシリコンチップを8枚置いたものを用いたが、シリコンチップの枚数はこれに限定されるものではなく、スパッタ条件により変化し、アルミニウムシリコン混合膜の組成が約55 atomic%近辺になれば良い。また、ターゲットはアルミニウムターゲ

ット上にシリコンチップを置いたものに限定したものではなく、シリコンターゲット上にアルミニウムチップを置いたものでも良いし、シリコンとアルミニウムの粉末を焼結したターゲットを用いても良い。

【0043】

次に、このようにして得られたアルミニウムシリコン混合膜をICP（誘導結合型プラズマ発光分析）にて、シリコンのアルミニウムとシリコンの全量に対する分量（atomic%）を分析した。その結果、シリコンのアルミニウムとシリコンの全量に対する分量は約55atomic%であった。なお、ここでは測定の都合上、基板として、カーボン基板上に堆積したアルミニウムシリコン混合膜を用いた。

【0044】

FE-SEM（電界放出走査型電子顕微鏡）にて、アルミニウムシリコン混合膜を観察した。基板真上方向から見た表面の形状は、シリコンに囲まれた円形のアルミニウムナノ構造体が二次元的に配列していた。アルミニウムナノ構造体部分の孔径は3nmであり、その平均中心間隔は7nmであった。また、断面をFE-SEMにて観察した所、高さは200nmであり、それぞれのアルミニウムナノ構造体部分はお互いに独立していた。

【0045】

また、X線回折法でこの試料を観察した所、結晶性を示すシリコンのピークは確認できず、シリコンは非晶質であった。

【0046】

従って、シリコンに周囲を囲まれた間隔2Rが7nm、径2rが3nm、高さしが200nmのアルミニウム細線を含んだアルミニウムシリコンナノ構造体を作製することができた。

【0047】

（比較例）

また、比較試料Aとして、ガラス基板上に、スパッタ法を用いて、シリコンをアルミニウムとシリコンの全量に対して15atomic%含んだアルミニウムシリコン混合膜を約200nm形成した。ターゲットには、4インチのアルミニ

ウムターゲット上に15mm角のシリコンチップ13を2枚おいたものを用いた。スパッタ条件は、RF電源を用いて、Ar流量：50sccm、放電圧力：0.7Pa、投入電力：1kWとした。また、基板温度は室温とした。

【0048】

FE-SEM（電界放出走査型電子顕微鏡）にて、比較試料Aを観察した。基板真上方向から見た表面の形状は、アルミニウム部分は円形状にはなっておらず、繩状になっていた。即ち、アルミニウムの柱状構造体がシリコン領域内に均質に分散した微細構造体となっていました。さらに、その大きさは10nmを遥かに超えていた。また、断面をFE-SEMにて観察した所、アルミニウム部分の幅は15nmを超えていた。なお、このようにして得られたアルミニウムシリコン混合膜をICP（誘導結合型プラズマ発光分析）にて、シリコンのアルミニウムとシリコンの全量に対する分量（atomic%）を分析した。その結果、シリコンのアルミニウムとシリコンの全量に対する分量は約15atomic%であった。

【0049】

さらに、比較試料Bとして、ガラス基板上に、スパッタ法を用いて、シリコンをアルミニウムとシリコンの全量に対して75atomic%含んだアルミニウムシリコン混合膜を約200nm形成した。ターゲットには、4インチのアルミニウムターゲット上に15mm角のシリコンチップ13を14枚おいたものを用いた。スパッタ条件は、RF電源を用いて、Ar流量：50sccm、放電圧力：0.7Pa、投入電力：1kWとした。また、基板温度は室温とした。

【0050】

FE-SEM（電界放出走査型電子顕微鏡）にて、比較試料Bを観察した。基板真上方向から見た試料表面には、アルミニウム部分を観察することができなかった。また、断面をFE-SEMにて観察しても、明確にアルミニウム部分を観察することができなかった。なお、このようにして得られたアルミニウムシリコン混合膜をICP（誘導結合型プラズマ発光分析）にて、シリコンのアルミニウムとシリコンの全量に対する分量（atomic%）を分析した。その結果、シリコンのアルミニウムとシリコンの全量に対する分量は約75atomic%で

あった。

【0051】

また、比較試料Aを作製した場合と、シリコンチップの枚数の条件のみを変え、アルミニウムシリコン混合体の全量に対するシリコンの割合が、20 atomic %、35 atomic %、50 atomic %、60 atomic %、70 atomic %である試料を作製した。アルミニウムの柱状構造体がシリコン領域内に均質に分散した微細構造体となっている場合を○、なっていない場合を×としたものを以下に示す。

【0052】

【表1】

シリコンの割合 (atomic%)	微細構造体
15 (比較試料A)	×
20	○
25	○
35	○
50	○
55	○
60	○
65	○
70	○
75 (比較試料B)	×

このように、アルミニウムとシリコンの全量に対するシリコン含有量を、20 atomic %以上70 atomic %以下に調整することで、作製されたアルミニウムナノ構造体の孔径の制御が可能であり、また、直線性に優れたアルミニウム細線の作製が可能になる。なお、構造の確認には、SEMの他にもTEM（透過型電子顕微鏡）等を利用するのがよい。なお、上記含有量に関しては上記シリコンに代えてゲルマニウム、あるいはシリコンとゲルマニウムの混合物を用い

ても同様であった。

【0053】

さらに、比較試料Cとして、ガラス基板上に、スパッタ法を用いて、シリコンをアルミニウムとシリコンの全量に対して55 atomic %含んだアルミニウムシリコン混合膜を約200 nm形成した。ターゲットには、4インチのアルミニウムターゲット上に15 mm角のシリコンチップ13を8枚おいたものを用いた。スパッタ条件は、RF電源を用いて、Ar流量：50 sccm、放電圧力：0.7 Pa、投入電力：1 kWとした。また、基板温度は250°Cとした。

【0054】

FE-SEM(電界放出走査型電子顕微鏡)にて、比較試料Cを観察した。基板真上方向から見た試料表面には、アルミニウムとシリコンの明瞭な境界を確認することができなかった。つまり、アルミニウムナノ構造体を確認することができなかった。即ち、基板温度が高すぎると、より安定な状態に変化してしまうため、このようなアルミニウムナノ構造体を形成する膜成長ができていないと思われる。

【0055】

なお、柱状の部材が分散した構造体を得る為に、ターゲットの組成をAl:Si = 55:45などに設定することも好ましい形態である。

【0056】

次に本発明の実施形態について説明する。

【0057】

図1は、本発明の半導体デバイスアレイの一例を示す概略図で、p-n結合を1つ含むダイオードアレイを作製したものである。図1(a)は模式的上面図、図1(b)は図1(a)の破線AA'に沿って切ったときの模式的断面図である。図1において、1aはp型半導体部分、1bはp-n接合面、1cはn型半導体部分であり、ダイオードの半導体部分(半導体領域)1を形成している。ダイオードの半導体部分は多孔体薄膜の空孔中に形成されている。この多孔体薄膜は、一成分が微細な柱状構造を形成して他の成分のマトリクス部材中に分散している、互いに共晶を形成する複数の材料から構成される薄膜から、前記柱状材料成

分を除去して得られるものである。この多孔体薄膜中の空孔は、独立した空孔として、基板に対してほぼ垂直に形成されている。従って、ダイオードの半導体部分1は膜中で、前記マトリクス部材2によって互いに隔てられている。前記互いに共晶を形成する複数の材料から構成される膜は、下部電極4を形成した基板3上に形成され、上部に上部電極5が形成されている。基板3の上部に下部電極4を形成する代わりに、全体が導電性の基板を使用し基板が下部電極を兼ねる構成にしても良い。

【0058】

図1には、半導体材料が一つのp-n接合を有するダイオードの例を示したが、空孔内に形成される一本の半導体材料が、図2のように一つのp-i-n接合を有するダイオードであるものや、図3のように2つのp-n接合を有するトランジスタであるもの等が本発明には包含される。ここで、iは真性半導体を示し、p-i-n接合は発光ダイオード等において、発光効率を高めるために使用される構成である。図2において11はダイオードの半導体部分、11aはp型半導体部分、11bはp-i接合面、11cは真性半導体部分、11dはi-n接合面、11eはn型半導体部分である。また図3においては、21はトランジスタの半導体部分、21aはp型半導体部分、21bはp-n接合面、21cはn型半導体部分、21dはp-n接合面、21eはp型半導体部分である。また、これら図1から図3においては、p型半導体とn型半導体が逆になっても良い。

【0059】

本発明の半導体デバイスを構成している空孔部分の基板上面からみた形状は、図1(a)、図2(a)及び図3(a)のように、ほぼ円形のものでもよいし、また橢円形など任意の形状が適応可能である。

【0060】

また、本発明の半導体デバイスアレイを構成している半導体デバイスの半導体部分の基板断面からみた形状は、図1から3の各(b)のように長方形形状でもよいし、膜厚を薄くすることによって正方形形状にしたり、下記のナノ構造体作成方法によっては台形や縦長の六角形など任意の形状が可能である。また、半導体デバイスの半導体部分の直径(平均径を示す)2rは0.5nm以上15nm

以下であり、空孔の間隔（平均間隔を示す） $2R$ は15nm以下である。好ましくは、直径 $2r$ は1~10nmであり、その間隔 $2R$ は3~10nmである。また、長さ L は2nm~数 μ m、好ましくは5nm~1000nmの範囲である。なお、楕円等の場合は、最も長い外径部が、上記直径の範囲内であればよい。ここで平均径とは、例えば、実際のSEM写真（約100nm×70nmの範囲）で観察される空孔部分をコンピュータで画像処理して、導出される値である。

【0061】

なお、半導体デバイスの柱状形状とは上記サイズを満足するものであれば、任意のアスペクト比（長さ L ／孔径 $2r$ ）を有する形状を含むものである。なお、好ましいアスペクト比（長さ L ／孔径 $2r$ ）は0.5~1000の範囲である。

【0062】

また、本発明の半導体デバイスアレイは、複数の半導体デバイスが上下の電極で繋がれて一組の半導体デバイスとして扱われ、全体として半導体デバイスアレイを形成しているが、これは「従来の技術」の項目でも触れたとおり現在の最先端のリソグラフィ技術を用いても個々の半導体デバイスに配線することはできないためである。

【0063】

次に図4（a）～（e）を用いて、各工程について更に詳しく説明する。以下の工程（a）～（e）は図4（a）～（e）に対応する。

（a） 下部電極作製

図4（a）に示すように、電極30を半導体デバイスアレイを作製する基板31上へ作製する。作製方法は、特に限定されず、基板上に電極になる金属を蒸着すればよい。パターニングは必須ではないが、パターニングを行うことで基板上の異なる半導体デバイスを個別に駆動することが可能となる。

【0064】

ここで基板の材料の材質は、目的の半導体デバイスアレイを作製するプロセスに耐えうるものであれば、どのようなものでも良好に用いることができる。例えば、シリコンウエハ、ガラス等が好ましく用いられる。また、基板の形状としては平滑な板状のものに限らず、曲面を有するもの、表面にある程度の凹凸や段差

を有するものなどが挙げられるが、上部に作製される半導体デバイスアレイに不都合がなければ、特に限定されるものではない。

【0065】

またここで基板表面に設置する下部電極の材料も、目的の半導体デバイスアレイを作製するプロセスに耐えうるものであれば、どのようなものでも良好に用いることができる。例えば、金、白金等が好ましく用いられる。

(b) ナノ構造体作製

次に、図4 (b) に示すように、電極30を形成した基板31、もしくは導電性の基板上にナノ構造体の薄膜33を形成する。ここで、ナノ構造体は第一の成分の微細な柱状の形態となって第二の成分のマトリクス中に分散されている材料を示す。このような構造体は互いに共晶系にある物質において形成されることが本発明者らの研究で明らかになっている。

【0066】

共晶関係にある複数の成分は特に限定されないが、複数の成分のうち第一の成分をアルミニウム、第二の成分をシリコンまたはゲルマニウム（シリコンとゲルマニウムの混合物でもよい）にした場合、目的にあったナノ構造体が形成されることがわかっている。

【0067】

上記第一の成分と第二の成分から目的にあったナノ構造体を形成するには、両者を非平衡状態にすればよい。これは、このような非平衡状態で物質を形成する成膜法で作製された共晶関係の2成分のナノ構造体領域33は、両者が準安定状態の共晶型組織となり、第一の成分が数nmレベル程度の径を持ったナノ構造体32を形成しその周りを第二の成分の成分領域34が取り囲むように自己組織的に分離するからである。

【0068】

両者を非平衡状態にする代表的な方法としてスパッタリング法がある。原料としての第一、第二の成分は、例えば、図9に示すように、スパッタ装置の第一の成分のターゲット上に第二の成分のチップを配することで達成される。第二の成分のチップは、複数に分けて配置しても1つでもよい。但し、均一な第一の成分

を含む柱状構造体を第二の成分領域内に均一に分散させるには、基板に対称（例えば同心円上）に配置しておくのがよい。また、所定量の第一の成分と第二の成分との粉末を焼成して作製した混合焼成物を構造体作製のターゲット材として用いることもできる。また、第一の成分と第二の成分のターゲットを別々に用意し、同時に両方のターゲットをスパッタリングする方法を用いてもよい。

【0069】

形成される膜中の第二の成分の量は、例えば第一の成分がアルミニウムで第二の成分がシリコンまたはゲルマニウムの場合、第一、第二両者の全量に対して 20~70 atomic %であり、好ましくは 25~65 atomic %、さらに好ましくは 30~60 atomic %である。シリコンまたはゲルマニウム量がかかる範囲内であれば、シリコンまたはゲルマニウム領域内にアルミニウムの柱状構造体が分散したアルミニウムシリコンまたはアルミニウムゲルマニウムナノ構造体が得られる。

【0070】

本発明において、アルミニウムの割合等を示す atomic %とは、例えば、シリコンとアルミニウムなどの单原子の原子の数の割合を示し、atom %あるいは at %とも記載され、例えば誘導結合型プラズマ発光分析法でアルミニウムシリコン混合膜中のシリコンとアルミニウムの量を定量分析したときの値である。

【0071】

なお、上記割合においては、atomic %を単位として用いているが、wt %を単位として用いる場合は、例えばシリコンが 20 atomic %以上 70 atomic %以下のは、20.65 wt %以上 70.84 wt %以下となる (atomic %から wt %への換算は、Al の原子量を 26.982、Si の原子量を 28.086 として Al と Si の重量比を求め、(重量比) × (atomic %) の値から wt %に換算することができる)。

【0072】

また、基板温度としては、200°C以下が好ましく、室温から 150°C、より好ましくは 100°C から 150°C の範囲が好ましい。

【0073】

第一の成分をアルミニウム、第二の成分をシリコンまたはゲルマニウムとした場合、このような方法で第一、第二の成分のナノ構造体を形成すると、アルミニウムとシリコンまたはゲルマニウムが準安定状態の共晶型組織となり、アルミニウムがシリコンまたはゲルマニウムマトリックス中に数 nm レベルのナノ構造体（柱状構造体）を形成し、アルミニウムとシリコンまたはゲルマニウムが自己組織的に分離する。そのときのアルミニウムはほぼ円柱状形状であり、その孔径は 1 ~ 15 nm であり、間隔は 3 ~ 15 nm である。

【0074】

また、スパッタ時に基板温度や投入電力を変化させることによって、一本のアルミニウムの円柱の太さを高さによって変化させ、円錐台形状や紡錘形状にすることも可能である。

【0075】

アルミニウムシリコンまたはアルミニウムゲルマニウムナノ構造体のシリコンの量は、例えばアルミニウムターゲット上に置くシリコンチップの量を変えることで制御できる。

【0076】

非平衡状態で成膜を行う場合、特にスパッタリング法の場合は、アルゴンガスを流したときの反応装置内の圧力は、0.2 ~ 1 Pa 程度がよく、プラズマを形成するための出力は 4 インチターゲットの場合は 150 から 1000 W 程度が好ましい。しかし、特に、これに限定されるものではなく、アルゴンプラズマが安定に形成される圧力及び出力であればよい。

【0077】

非平衡状態で物質を形成する成膜法は、スパッタリング法が好ましいが抵抗加熱蒸着、電子ビーム蒸着（EB 蒸着）をはじめとする任意の非平衡状態で物質を形成する成膜法が適用可能である。スパッタリング法で行う場合には、マグネットロンスパッタリング、RF スパッタリング、ECR スパッタリング、DC スパッタリング法を用いることができる。

【0078】

また、成膜する方法としては、第一の成分と第二の成分を同時に形成する同時成膜プロセスを用いてもよいし、第一の成分と第二の成分を数原子層づつ積層する積層成膜プロセスを用いてもよい。

【0079】

上記の様にして成膜された第一の成分と第二の成分のナノ構造体領域33は、第一の成分を主成分とする柱状構造体32と、その周囲の第二の成分を主成分とする領域34を備える。領域34は非晶質であることが望ましい。

【0080】

柱状構造体部32の組成は、第一の成分を主成分とするが、柱状構造の微細構造体が得られていれば、酸素、アルゴン、窒素などの他の元素を含有していてよい。なお、主成分とは、柱状構造体部の成分構成比において第一の成分の割合が80 atomic%以上、好ましくは90 atomic%以上をいう。

【0081】

また、第一の成分の柱状構造体の周囲を取り囲んでいる第二の成分の領域34の組成は、柱状構造の微細構造体が得られていれば、酸素、アルゴン、窒素、水素などの各種の元素を含有してもよい。なお、主成分とは、第二の成分の領域の成分構成比においてシリコンの割合が80 atomic%以上、好ましくは90 atomic%以上をいう。

(c) 空孔形成

図4(c)に示すように、上記のナノ構造体薄膜から第一の成分の柱状構造体32のみを選択的にエッティングにより除去する。その結果、空孔36を有する第二の成分領域のみが残り、多孔質の第二の成分の薄膜35が形成される。

【0082】

ウエットエッティングに用いる溶液は、例えば、第一の成分がアルミニウム、第二の成分がシリコンの場合、アルミニウムを溶かしシリコンをほとんど溶解しない、リン酸、硫酸、塩酸、クロム酸溶液などの酸が挙げられるが、エッティングによる空孔形成に不都合がなければ水酸化ナトリウムなどのアルカリを用いることができ、特に酸の種類やアルカリの種類には限定されるものではない。また、数種類の酸溶液あるいは数種類のアルカリ溶液を混合したものを用いてもよい。

またエッティング条件は、例えば、溶液温度、濃度、時間などは、作製するシリコンナノ構造体に応じて、適宜設定することができる。

【0083】

次に記載する (c' - 1) と (c' - 2) 工程は必須ではなく、第二の成分及び要求される半導体デバイスの性能に応じて行う工程である。

(c' - 1) 第二の成分ナノ構造体の酸化

第二の成分がシリコンやゲルマニウムのような半導体である場合やその他良導体材料である場合、空孔内の半導体デバイスと絶縁する為、空孔を有するナノ構造体を酸化処理して不良導体に変換する必要がある。また、後述する工程で空孔を有するナノ構造体を除去する場合、やはり酸化処理を行い半導体デバイス本体より短時間でエッティングされる素材に変換する必要がある。

【0084】

図4 (c') に示すように、この工程により第二の成分多孔質膜35は第二の成分の酸化物の多孔質膜37となる。

【0085】

工程 (c) で作製された第二の成分の多孔質膜の酸化方法としては、例えば第二の成分がシリコンまたはゲルマニウムの場合、酸素雰囲気中で加熱する方法の他、水蒸気中あるいは空気中での加熱、陽極酸化、酸素プラズマにさらすなどの任意の酸化方法が適用可能である。ここで、シリコン酸化物領域の組成は、シリコン酸化物を主成分とするが、アルゴン、窒素などの他の各種の元素や元素の酸化物を含有してもよい。例えば第一の成分がアルミニウム、第二の成分がシリコンである場合、シリコン酸化物領域におけるシリコンの含有量は酸素を除くすべての元素に対して 80 atomic % 以上、好ましくは 85 % 以上である。ここで第一の成分がアルミニウムの場合、アルミニウムの含有量は酸素を除くすべての元素に対して、0.01 ~ 20 atomic % の範囲であり、好ましくは 0.1 ~ 10 atomic % の範囲である。また、シリコン酸化物ナノ構造体を構成しているシリコン酸化物の構造は、非晶質シリコン酸化物であることが望ましいが、結晶化させて結晶質のシリコン酸化物を含んでいてもよい。

(c' - 2) 空孔径の拡大

空孔径を拡大する工程は、空孔の孔径の拡大を柱状物質を除去した第二の成分の多孔質膜に対して行う方法、または酸化物の多孔質膜に対しておこなう方法がある。

【0086】

空孔径の拡大は、上記第二の成分または第二の成分の酸化物の多孔質膜に対して第二の成分または第二の成分の酸化物を溶解する溶液中に浸すポアワイド処理（孔径拡大処理）により、行われる。

【0087】

上記溶液も特に空孔の拡大に問題がなければどのような酸及びアルカリを用いてもよい。また、数種類の酸溶液やあるいは数種類のアルカリ溶液を混合したものを用いてもよい。例えば、第二の成分がシリコンの場合、上記溶解用溶液としてはフッ化水素を薄めた酸溶液など、あるいは水酸化ナトリウムなどのアルカリ溶液が適している。また空孔孔径拡大（ポアワイド処理）条件は、例えば、溶液温度、濃度、時間などは、作製する空孔の大きさに応じて、適宜設定することができる。

（d）半導体デバイスの半導体部分作製

ここで空孔内に作製する半導体デバイスの半導体部分38（図4（d）ではダイオード）は、特に限定されず、一般的にp-n接合またはp-i-n接合を有するものなら何でも良い。例えば、ダイオードやバイポーラトランジスタが好ましい。更に、ダイオードなら発光ダイオードのような発光機能をもったものやフォトダイオードのような受光機能を持ったもの、トランジスタならフォトトランジスタのような受光機能を持ったものならなお好ましい。

【0088】

上記半導体デバイスの材料は、特に限定されず、一般的にp-n接合またはp-i-n接合を有する半導体デバイス用に用いられるものなら何でも良い。例えば、シリコン、ゲルマニウム、特に発光ダイオードとして用いられるものとしては例えば、ガリウムヒ素系材料（GaAs/GaAlAs, GaAs/InGaAlP）、ガリウムヒ素リン（GaAsP）、ガリウムリン（GaP）、インジウムリン等のIII-V族化合物半導体デバイス材料や間接遷移型材料の炭化珪素

(SiC)、直接遷移型の窒化ガリウム系材料(GaN/InGaAlN)、セレン化亜鉛系(ZnSe/ZnSSe)に代表されるII-VI族化合物半導体デバイス材料などが適している。これらの中でも特に半導体デバイス全般で材料にして多用されるシリコンや発光ダイオード用として使われるガリウムヒ素、ガリウムリンが好ましい。

【0089】

求められる半導体デバイスの性質によって、上記半導体材料に適したドーパントを選択してp型、n型を作り分ければよい。例えば、半導体がシリコンならドーパントはホウ素とリンが一般によく用いられる。更に高機能な半導体デバイスを作製する必要が有るなら、複数回ドーパントを交換して複数の接合面を作製しても良い。またドーパントを添加せず真性半導体にしても良い。

【0090】

半導体がIII-V族化合物半導体の場合、両者の成分比を調節することによってp型半導体、n型半導体、真性半導体を作り分け接合型半導体デバイスを作製することもできる。

【0091】

工程(c)で作製された空孔中に上記半導体デバイスを作製する工程は、ナノ構造体の空孔構造を破壊しない範囲内で一般的に半導体結晶を成長させる方法を用いればよい。

【0092】

例えば、化学気相成膜(CVD)法ならば、アルゴン、キセノン、ヘリウム、ネオン、クリプトン等の希ガス、水素、炭化水素、フッ素、窒素、酸素ガス等の雰囲気で作製することができる。半導体デバイスの成長速度に応じて、ガス流量、圧力、投入電力等の条件は目的の半導体材料に対して適宜選択される。原料ガスはシリコン半導体デバイスを作製する場合ならば、一般式 Si_nH_{2n+2} (nは自然数)で表されるモノラン、ジシラン、トリシラン、テトラシランなどシラン化合物やフッ化シラン、有機シラン、炭化水素、ゲルマン化合物などが用いられる。また、希釈ガスとして、水素、重水素、フッ素、塩素、ヘリウム、アルゴン、ネオン、キセノン、クリプトン、窒素などのガスを原料ガスとともに導入して

も良い。これらのガスを用いる場合には、原料ガスに対して、0.01～100%（容積比率）の範囲で用いると効果的であり、作製する半導体デバイスの特性を考慮して適宜選択されるものである。

【0093】

CVD法のかわりに、前記ナノ構造体の空孔底部に金粒子を電着しこれを触媒として有機金属ガスからナノワイヤを成長させるVLS法を用いると、空孔内に選択的に半導体を作り込むことが容易になる。

【0094】

空孔内への半導体デバイスの半導体部分作製の際の温度等の条件は目的とする半導体材料に対して適宜選択される。

(e) 上部電極作製

半導体デバイスを作製したナノ構造体上部に電極39を作製する工程は、工程(a)と同様一般的な方法でよい。

【0095】

ここで上部電極の材料は、電気の良導体なら特に限定されない。電極の厚さは材料によって適宜決定される。

【0096】

工程(a)で基板表面に等間隔で平行な下部電極を作製し、工程(e)で基板表面の電極とは垂直になる方向に平行な上部電極を作製すれば、半導体デバイスアレイを逐次駆動（ダイナミックドライブ）することが出来る。また、上部電極をパターニングせず全体で一つの電極とし、すべての半導体デバイスの上部側を一つの共通電極とすることもできる。

【0097】

最後に、図示しないが上部電極を作製した後、必要に応じて以下の工程を行つてもよい。

【0098】

（第二の成分または第二の成分の酸化物領域の除去）

半導体デバイスを取り囲む第二の成分または第二の成分の酸化物領域37を除去し半導体デバイス38を露出させても良い。処理方法及び処理に用いる溶液は

工程（c' - 2）の空孔を拡大する際に用いるものと同じである。結晶性の半導体である半導体アレイ本体及び電極を残して、その周辺の非晶性部分のみを溶解除去する条件は、例えば、溶液温度、濃度、時間などは、作製する空孔の大きさに応じて、適宜設定することができる。

【0099】

以上、本発明の要旨を再度述べると、本発明は、互いに共晶関係にある複数の成分から成るナノ構造体の一方の成分を除去して得られる多孔体薄膜を利用して作製された、従来のデバイスアレイよりはるかに小型の半導体デバイスを高密度で並べた新規な半導体デバイスアレイとその製造方法に関する。

【0100】

【実施例】

以下、実施例により本発明を詳述するが、これらは本発明をなんら限定するものではない。

【0101】

(実施例 1)

本実施例は、多孔質シリコン酸化物薄膜中にシリコンダイオードを作製したものであり、図5に示した模式図のようなシリコンダイオードアレイを作製した。なお、図5（a）はアレイ全体の模式図、図5（b）はアレイの一部をナノサイズで描いた模式図である。

【0102】

(下部電極の作製)

まず、図5（a）に示すように、一辺が2 cm厚さが1.1 mmの正方形のガラス基板103上にスパッタリング法により膜厚200 nmの金を蒸着した上でパターニングを行い、ガラス基板の一辺に平行に100 μ mごとに10 μ mずつエッチングをし、幅90 μ mの帯状の金電極104が等間隔で並ぶようにした。

【0103】

(多孔質シリコン酸化物薄膜の作製)

次に、このガラス基板103上に、マグнетロンスパッタリング法を用いて、200 nmの膜厚のアルミニウムとシリコンの混合膜105を作製した。ターゲ

ットには、直径が4インチ (101.6 mm) の円形のアルミニウムターゲット上に15 mm角のシリコンチップを6枚おいたものを用いた。スパッタ条件は、RF電源を用いて、Ar流量：50 sccm、放電圧力：0.7 Pa、投入電力：300 Wとした。また、基板温度は室温 (25°C) とした。

【0104】

なお、ここではターゲットとして、図9に示すように、アルミニウムターゲット上にシリコンチップを6枚置いたものを用いたが、シリコンチップの枚数はこれに限定されるものではなく、スパッタリング条件により変化し、後述する目的の構造が形成されればよい。また、ターゲットはアルミニウムターゲット上にシリコンチップを置いたものに限定するものではなく、シリコンターゲット上にアルミニウムチップを置いたものでもよいし、シリコンとアルミニウムを焼結したターゲットを用いてもよい。

【0105】

なお、FE-SEM (電界放出走査型電子顕微鏡) にて、アルミニウムシリコン混合膜の上部および断面を観察したところ、シリコン領域に囲まれた円形のアルミニウム柱状構造体が二次元的に配列していた。また、アルミニウム柱状構造体の孔径は6 nmであり、その平均中心間隔は8 nmであった。また、高さは200 nmであり、それぞれのアルミニウム柱状構造体部分はシリコン領域により互いに分離されていた。

【0106】

また、誘導結合型プラズマ発光分析法 (ICP法) により、本実施例で作製したアルミニウムシリコン混合膜中の元素組成の分析を行った。なお、この分析用に用いたのはカーボン基板上に作製した膜である。その結果、シリコンのアルミニウムとシリコンの全量に対する分量は37 atomic %と求められた。以上のようにして、微細な柱状のアルミニウムを37 atomic %含むアルミニウムシリコン混合膜が形成された。この混合膜をX線回折分析で評価した。その結果、シリコンの回折ピークは認められず、シリコンは非晶質であることがわかった。一方、アルミニウムに関しては複数の回折線が見られ、アルミニウムは結晶性であることが示された。

【0107】

このようなシリコンをアルミニウムとシリコンの全量に対して 37 atomic % 含んだアルミニウムシリコン混合膜をリン酸 5 wt % 中に 4 時間浸し、アルミニウム柱状構造体部分のみを選択的にエッチングして空孔を形成した。この結果、ナノスケールの空孔が膜面に垂直に形成された多孔質シリコンの膜が形成された。

【0108】

次に、FE-SEM にて、リン酸エッチングした上記多孔質シリコン薄膜を観察した。基板真上方向から見た表面の形状はシリコン領域に囲まれた空孔が二次元的に配列しているものであった。空孔部の孔径は 6 nm であり、その平均間隔は約 8 nm であった。また、断面を FE-SEM にて観察した所、高さは 200 nm であり、それぞれの空孔部分はシリコン領域により隔たれており互いに独立していた。

【0109】

次に、作製された多孔質シリコン薄膜を酸素雰囲気中で加熱した。ここでは、大気圧で酸素を 50 sccm 流しながら、800°C で 2 時間加熱した。この結果、シリコン酸化物が作製された。シリコン酸化物の形成は、広域電子エネルギー損失構造解析 (EELS) により確認された。

【0110】

FE-SEM にて、酸化後の膜を観察した。基板真上方向から見た表面の形状はシリコン酸化物に囲まれた空孔が二次元的に配列していた。空孔部の孔径は 5 nm であり、その平均間隔は約 8 nm であった。また、断面を FE-SEM にて観察した所、高さは 200 nm であり、それぞれの空孔部分はシリコン酸化物領域により隔たれており互いに独立していた。

【0111】

この結果、多孔質シリコン酸化物薄膜が作製された。

【0112】

シリコン酸化物領域中のシリコンの含有量は、ICP 法によって酸素を除くすべての原子に対して約 90 atomic % と求められた。

【0113】

(シリコンダイオードの作製)

このように作製された多孔質シリコン酸化物薄膜の空孔底部の金電極部分に電着を行い金粒子を付けた。電着は、市販の電気メッキ液（高純度化学研究所製金用電気メッキ液、商品コードK-24E）を用い、40°Cに保持した酸性浴（pH=4.5）中において、0.5A/cm²の電流密度で行った。

【0114】

次にこの多孔質シリコン薄膜を石英管の中に設置し気圧を13Pa以下にした後、アルゴンガスを流しながら440°Cに加熱した。次に石英管内に、ヘリウムガス中に10%の割合で混合したシランガスを50sccmの流量で60秒間供給した。この時、始めの30秒間はシランガスにドーパント源としてジボランを添加しシリコンの下部をp型（101a）、後半の30秒間はホスフィンを添加しシリコンの上部をn型（101c）にし、空孔底部の金粒子を触媒としてp-n接合101bを1つ有する柱状のシリコンを作製した。この工程での時間はあらかじめ予備実験を行って決定した。上記の工程によってシリコン導入を行った多孔質シリコン酸化物薄膜の表面を研磨して金粒子及び余分なシリコンの付着物等を除去した後にFE-SEMで観察を行ったところ、空孔の中にシリコンが形成されている様子が観察された。X線回折分析を行った結果、シリコンの結晶に起因する回折線が認められ導入した柱状のシリコンは結晶性であることが確認された。

【0115】

次に、このようにして作製されたシリコンを空孔内に有する多孔質シリコン酸化物薄膜の上部にスパッタリングにより膜厚200nmの金を蒸着し、底部の金電極と垂直方向になるように幅90μmの帯状の上部金電極105をパターニングによって作製した。

【0116】

この一連の作業により、一辺90μmの領域内にある約 1.3×10^8 個（ $1.1 \times 10^4 \times 1.1 \times 10^4$ ）のダイオードが一組のダイオードとして同じ電極を共有するダイオードアレイが完成した。

【0117】

(整流機能の確認)

シリコン酸化物に直接光が当たらないようにマスクをした上で、ガラス基板103上の下部電極104と多孔質シリコン酸化物薄膜上部の上部電極105をそれぞれ1つづつ選んで可変電圧をかけ、その時の電流を測定した。いくつかの電極を選んで同様の測定を行ったところ、すべての組み合わせで同様の結果であった。代表的なものを図6示す。逆方向にはほとんど電流が流れず、順方向には約0.7Vから電流が流れ始めるという結果が得られ、リーク電流や絶縁破壊等は観測されず、整流作用があることが確認された。

【0118】

以上の結果より、多孔質シリコン酸化物薄膜中に、正常に機能するダイオードが並んだダイオードアレイが作製されたことが確認できた。

【0119】

(フォトダイオードとしての機能の確認)

ガラス基板上の下部電極104と多孔質シリコン酸化物薄膜上部の上部電極105をそれぞれ1つづつ順番に選んで10ボルトの逆電圧をかけ、その時の電流を測定した。次に上記マスクを剥離し、多孔質シリコン酸化物薄膜に何段階かの明るさの光を照射して電流を測定した。いくつかの電極を選んで同様の測定を行ったところ、すべての組み合わせで同様の結果であった。代表的なものを図7に示す。明るさに比例して電流が増加していることがわり、ダイオードがフォトダイオードとして機能していることが確認された。

【0120】

以上の結果より、多孔質シリコン酸化物薄膜中のダイオードがフォトダイオードとして機能するフォトダイオードアレイが作製されたことが確認できた。

【0121】

(実施例2)

本実施例はダイオードの径拡大したものである。実施例1と同様の方法で空孔構造を持つ多孔質シリコン薄膜を作製した。

【0122】

次に、この構造体を 25℃に保った水酸化ナトリウム 1 mol/L 中に 30 分浸し、空孔の拡大を行った。

【0123】

なお、空孔の拡大処理を行った多孔質シリコン薄膜を FE-SEM にて観察したところ、シリコン領域に囲まれた空孔が二次元的に配列していた。また、そのとき観察した空孔部の孔径は 6 nm、その平均間隔は 8 nm、高さは 200 nm であり、それぞれの空孔部分はシリコン領域により隔たれており、互いに独立していた。なお、X 線回折法で作製した試料を測定した所、シリコンの結晶のピークは確認できず、シリコンは非晶質であった。

【0124】

この後、実施例 1 と同様に多孔質シリコン薄膜を酸化して多孔質シリコン酸化物薄膜を作製し、空孔内にシリコンダイオードを作製した。

【0125】

この半導体の電極に実施例 1 と同様に電圧をかけて電流を測定したところ、実施例 1 と同様に逆電圧ではほとんど電流は流れず、順電圧では 0.7 V 付近から電流が流れ、4 V の電圧で実施例 1 より約 50 μ A 電流量が多いダイオードからなるダイオードアレイが作製されたことが確認できた。

【0126】

以上のように、空孔を拡大する工程を加えることにより、ダイオードの電流量を増大させることができた。

【0127】

(実施例 3)

本実施例は多孔質シリコン酸化物薄膜を除去したシリコンダイオードを作製したものである。

【0128】

ガラス基板の代わりに一辺が 2 cm 厚さが 0.3 mm の正方形の金の板を用い、これを基板兼下部電極とし、また上部電極もパターニングを行わず 1 枚の電極とした他は、実施例 1 と同様の方法で半導体デバイスアレイを作製した。

【0129】

次にこの半導体デバイスアレイを2%のフッ酸に浸漬し約1分間静置した。これを静かに取りだし蒸留水で洗浄した後、自然乾燥させた。これをF E - S E Mにて観察したところ、上部電極と基板の間に柱状構造物が整然と並んでいることが確認できた。

【0130】

次に、上部電極と基板に電圧をかけ実施例1と同様に電気的特性を調べた。

【0131】

その結果、実施例1と本質的に同様の結果が得られ、多孔質シリコン酸化物薄膜を除去する処理を施しても、ダイオードの電気的特性に悪影響がないことが確かめられた。

【0132】

以上のように表面が露出したダイオードアレイの形成が確認された。

【0133】

(実施例4)

本実施例は多孔質ゲルマニウム酸化物薄膜中にシリコンダイオードを作製したものである。

【0134】

実施例1の多孔質シリコン酸化薄膜を多孔質ゲルマニウム酸化物薄膜に代えて、図5に示した模式図のようなシリコンダイオードアレイを作製した。

【0135】

(下部電極の作製)

まず、図5 (a) に示すように、一辺が2cm厚さが1.1mmの正方形のガラス基板103上にスパッタリング法により膜厚200nmの金を蒸着した上でパターニングを行い、ガラス基板の一辺に平行に100μmごとに10μmづつエッチングをし、幅90μmの帯状の金電極104が等間隔で並ぶようにした。

【0136】

(多孔質ゲルマニウム酸化物薄膜の作製)

次に、このガラス基板上に、マグнетロンスパッタリング法を用いて、200nmの膜厚のアルミニウムとゲルマニウムの混合膜を作製した。ターゲットには

、直径が4インチ（101.6mm）の円形のアルミニウムターゲット上に15mm角のゲルマニウムチップを4枚おいたものを用いた。スパッタ条件は、RF電源を用いて、Ar流量：50sccm、放電圧力：0.7Pa、投入電力：300Wとした。また、基板温度は室温（25℃）とした。

【0137】

なお、ここではターゲットとして、アルミニウムターゲット上にゲルマニウムチップを4枚置いたものを用いたが、ゲルマニウムチップの枚数はこれに限定されるものではなく、スパッタリング条件により変化し、後述する目的の構造が形成されればよい。また、ターゲットはアルミニウムターゲット上にゲルマニウムチップを置いたものに限定するものではなく、ゲルマニウムターゲット上にアルミニウムチップを置いたものでもよいし、ゲルマニウムとアルミニウムを焼結したターゲットを用いてもよい。

【0138】

なお、FE-SEM（電界放出走査型電子顕微鏡）にて、アルミニウムゲルマニウム混合膜の上面および断面を観察したところ、ゲルマニウム領域に囲まれた円形のアルミニウム柱状構造体が二次元的に配列していた。また、アルミニウム柱状構造体の孔径は12nmであり、その平均中心間隔は15nmであった。また、高さは200nmであり、それぞれのアルミニウム柱状構造体部分はゲルマニウム領域により互いに分離されていた。

【0139】

また、誘導結合型プラズマ発光分析法（ICP法）により、本実施例で作製したアルミニウムゲルマニウム混合膜中の元素組成の分析を行った。その結果、ゲルマニウムのアルミニウムとゲルマニウムの全量に対する分量は37atom%と求められた。以上のようにして、微細な柱状のアルミニウムを37atom%含むアルミニウムゲルマニウム混合膜が形成された。この混合膜をX線回折分析で評価した。その結果、ゲルマニウムの回折ピークは認められず、ゲルマニウムは非晶質であることがわかった。一方、アルミニウムに関しては複数の回折線が見られ、アルミニウムは結晶性であることが示された。

【0140】

このようなゲルマニウムをアルミニウムとゲルマニウムの全量に対して37 a t o m i c %含んだアルミニウムゲルマニウム混合膜をリン酸5 w t %中に4時間浸し、アルミニウム柱状構造体部分のみを選択的にエッチングして空孔を形成した。この結果、ナノスケールの空孔が膜面に垂直に形成された多孔質ゲルマニウムの膜が形成された。

【0141】

次に、FE-SEMにて、リン酸エッチングした上記多孔質ゲルマニウム薄膜を観察した。基板真上方向から見た表面の形状はゲルマニウム領域に囲まれた空孔が二次元的に配列しているものであった。空孔部の孔径は12 nmであり、その平均間隔は約15 nmであった。また、断面をFE-SEMにて観察した所、高さは200 nmであり、それぞれの空孔部分はゲルマニウム領域により隔たれており互いに独立していた。

【0142】

次に、作製された多孔質ゲルマニウム薄膜を酸素雰囲気中で加熱した。ここでは、大気圧で酸素を50 sccm流しながら、800℃で2時間加熱した。この結果、ゲルマニウム酸化物が作製された。ゲルマニウム酸化物の形成は、広域電子エネルギー損失構造解析（EELS）により確認された。

【0143】

FE-SEMにて、酸化後の膜を観察した。基板真上方向から見た表面の形状はゲルマニウム酸化物に囲まれた空孔が二次元的に配列していた。空孔部の孔径は11 nmであり、その平均間隔は約15 nmであった。また、断面をFE-SEMにて観察した所、高さは200 nmであり、それぞれの空孔部分はゲルマニウム酸化物領域により隔たれており互いに独立していた。

【0144】

この結果、多孔質ゲルマニウム酸化物薄膜が作製された。

【0145】

ゲルマニウム酸化物領域中のゲルマニウムの含有量は、ICP法によって酸素を除くすべての原子に対して約90 a t o m i c %と求められた。

【0146】

(シリコンダイオードの作製)

このように作製された多孔質ゲルマニウム酸化物薄膜の空孔底部の金電極部分に電着を行い金粒子を付けた。電着は、市販の電気メッキ液（高純度化学研究所製金用電気メッキ液、商品コードK-24E）を用い、40℃に保持した酸性浴（pH=4.5）中において、0.5A/cm²の電流密度で行った。

【0147】

次にこの多孔質ゲルマニウム薄膜を石英管の中に設置し気圧を13Pa以下にし、アルゴンガスを流しながら440℃に加熱した。次に石英管内に、ヘリウムガス中に10%の割合で混合したシランガスを50sccmの流量で60秒間供給した。この時、始めの30秒間はシランガスにドーパント源としてジボランを添加しシリコンの下部をp型（101a）、後半の30秒間はホスフィンを添加しシリコンの上部をn型（101c）にし、空孔底部の金粒子を触媒としてp-n接合101bを1つ有する柱状のシリコンを作製した。この工程での時間はあらかじめ予備実験を行って決定した。上記の工程によってシリコン導入を行った多孔質ゲルマニウム酸化物薄膜の表面を研磨して金粒子及び余分なシリコンの付着物等を除去した後にFE-SEMで観察を行ったところ、空孔の中にシリコンが形成されている様子が観察された。X線回折分析を行った結果、シリコンの結晶に起因する回折線が認められ導入した柱状のシリコンダイオードは結晶性であることが確認された。

【0148】

次に、このようにして作製されたシリコンを空孔内に有する多孔質ゲルマニウム酸化物薄膜の上部にスパッタリングにより膜厚200nmの金を蒸着し、底部の金電極と垂直方向になるように幅90μmの帯状の上部金電極105をパターニングによって作製した。

【0149】

この一連の作業により、一辺90μmの領域内にある約 3.6×10^7 個（ $6.0 \times 10^3 \times 6.0 \times 10^3$ ）のダイオードが一組のダイオードとして同じ電極を共有するダイオードアレイが完成した。

【0150】

(整流機能の確認)

この半導体の電極に実施例1と同様に電圧をかけて電流を測定したところ、実施例1と同様に逆電圧ではほとんど電流は流れず、順電圧では0.7V付近から電流が流れ、4Vの電圧で実施例1より約40μA電流量が多いダイオードからなるダイオードアレイが作製されたことが確認できた。

【0151】

(実施例5)

本実施例は多孔質シリコン酸化物薄膜中にp-i-n型発光ダイオードを作製したものである。

【0152】

下部電極をパターニングせず基板全面に膜厚200nmの金を蒸着した基板を用いた以外は、実施例1と同様の方法で作成した多孔質シリコン酸化物薄膜を用意した。

【0153】

次に中の空孔底部に実施例1と同様の方法で金粒子を付けた。次にこの多孔質シリコン薄膜を、あらかじめNd-YAGレーザー（波長1064nm、平均2.5W）の焦点に合わせてインジウムリン99%亜鉛1%のターゲットを設置した石英管の中に設置し、 $1.3 \times 10^4 \text{ Pa}$ にし、アルゴンガスを100sccmで流しながら800°Cに加熱し、レーザーをターゲットに10秒照射した。これに続いて、インジウムリン100%のターゲットを用い、レーザーを同条件で1秒照射した。更にこの後、インジウムリン99%テルル1%のものと交換し、再び同条件でレーザーを10秒照射した。この工程でのレーザーの照射時間はあらかじめ予備実験で決定した。上記の工程によって空孔底部の金粒子を触媒として基板側から、亜鉛をドーパントとしたp型インジウムリン、ドーパントを含まないインジウムリン、テルルをドーパントとしたn型インジウムリンの三層を積層したp-i-n接合を含む柱状のインジウムリンが形成された。多孔質シリコン酸化物薄膜の表面を研磨して余分なインジウムリンの付着物等を除去した後にFE-SEMで観察を行ったところ、空孔の中にインジウムリンが形成されている様子が観察された。X線回折分析を行った結果、インジウムリンの結晶に起因

する回折線が認められ導入した柱状のインジウムリンは結晶性であることが確認された。

【0154】

次に、このようにして作製されたインジウムリンを空孔内に有する多孔質シリコン酸化物薄膜の上部にスパッタリングにより膜厚200nmのインジウムスズ酸化物(ITO)を蒸着し、薄膜上部を透明電極で覆った。

【0155】

このダイオードアレイの上下電極に2ボルトの順電圧をかけたところ多孔質シリコン薄膜全面が波長約800nmを中心とする赤外光で発光していることが確認できた。

【0156】

以上の結果により、多孔質シリコン酸化物薄膜中に、p-i-n型インジウムリンダイオードが発光ダイオードとして機能する発光ダイオードアレイが作製されたことが確認できた。

【0157】

(実施例6)

本実施例は多孔質シリコン酸化物薄膜中にフォトトランジスタを作製したものである。

【0158】

実施例1と同様の多孔質シリコン酸化物薄膜中の空孔中に、2つのp-n接合を持つp-n-p型シリコントランジスタを作製した。ここで、p型およびn型シリコンの形成方法は実施例1から4と同じ方法である。また、実施例1から4と同様に、作製した薄膜FE-SEMで観察を行ったところ、空孔の中にシリコンが形成されている様子が観察された。X線回折分析を行った結果、シリコンの結晶に起因する回折線が認められ導入したシリコンは結晶性であることが確認された。

【0159】

次に、このようにして作製されたシリコンを空孔内に有する多孔質シリコン酸化物薄膜の上部にスパッタリングにより膜厚200nmのインジウムスズ酸化物

(ITO) 透明電極を蒸着し、底部の金電極と垂直方向になるように幅 $90 \mu\text{m}$ の帯状の上部金電極 105 をパターニングによって作製した。

【0160】

この一連の作業により、一辺 $90 \mu\text{m}$ の領域内にある約 3.6×10^7 個 ($6.0 \times 10^3 \times 6.0 \times 10^3$) のトランジスタが一組のトランジスタとして同じ電極を共有するトランジスタアレイが完成した。

【0161】

この多孔質シリコン酸化物薄膜に遮光マスクをした上で、上下の電極に実施例 1 のフォトダイオードとしての機能の確認と同様に 10 ボルトの電圧をかけ、その時の電流を測定した。次に上記マスクを剥離して多孔質シリコン酸化物薄膜に何段階かの明るさの光を照射して電流を測定した。測定したすべて組み合わせで同様の結果であった。代表的なものを図 8 に示す。明るさに比例して電流が増加していることがわかった。またかつ実施例 1 の場合と比較して多くの電流が流れていることが確認された。

【0162】

以上の結果より、多孔質シリコン酸化物薄膜中のトランジスタがフォトトランジスタとして機能するフォトトランジスタアレイが作製されたことが確認できた。

【0163】

【発明の効果】

以上説明したように、本発明によれば、互いに共晶を形成する材料系において形成される微細な柱状対を含む薄膜から形成される基板に垂直な空孔に半導体材料を導入することによって、微細な半導体デバイスを高密度に並べたアレイを簡便な方法で作製することができる。

【図面の簡単な説明】

【図 1】

本発明において 1 つの p-n 接合を有する半導体デバイスアレイの例を示す概略図である。

【図 2】

本発明において1つのp-i-n接合を有する半導体デバイスアレイの例を示す概略図である。

【図3】

本発明において2つのp-n接合を有する半導体デバイスアレイの例を示す概略図である。

【図4】

本発明の半導体デバイスアレイの製造方法の一例を示す説明図である。

【図5】

実施例1で作製したダイオードアレイを示す概略図である。

【図6】

実施例1で作製したダイオードの、電圧と電流の関係を示すグラフである。

【図7】

実施例1で作製したダイオードの、照射する光の明るさと電流の関係を示すグラフである。

【図8】

実施例6で作製したフォトトランジスタの、照射する光の明るさと電流の関係を示すグラフである。

【図9】

本発明による構造体の作製方法を示す図である。

【符号の説明】

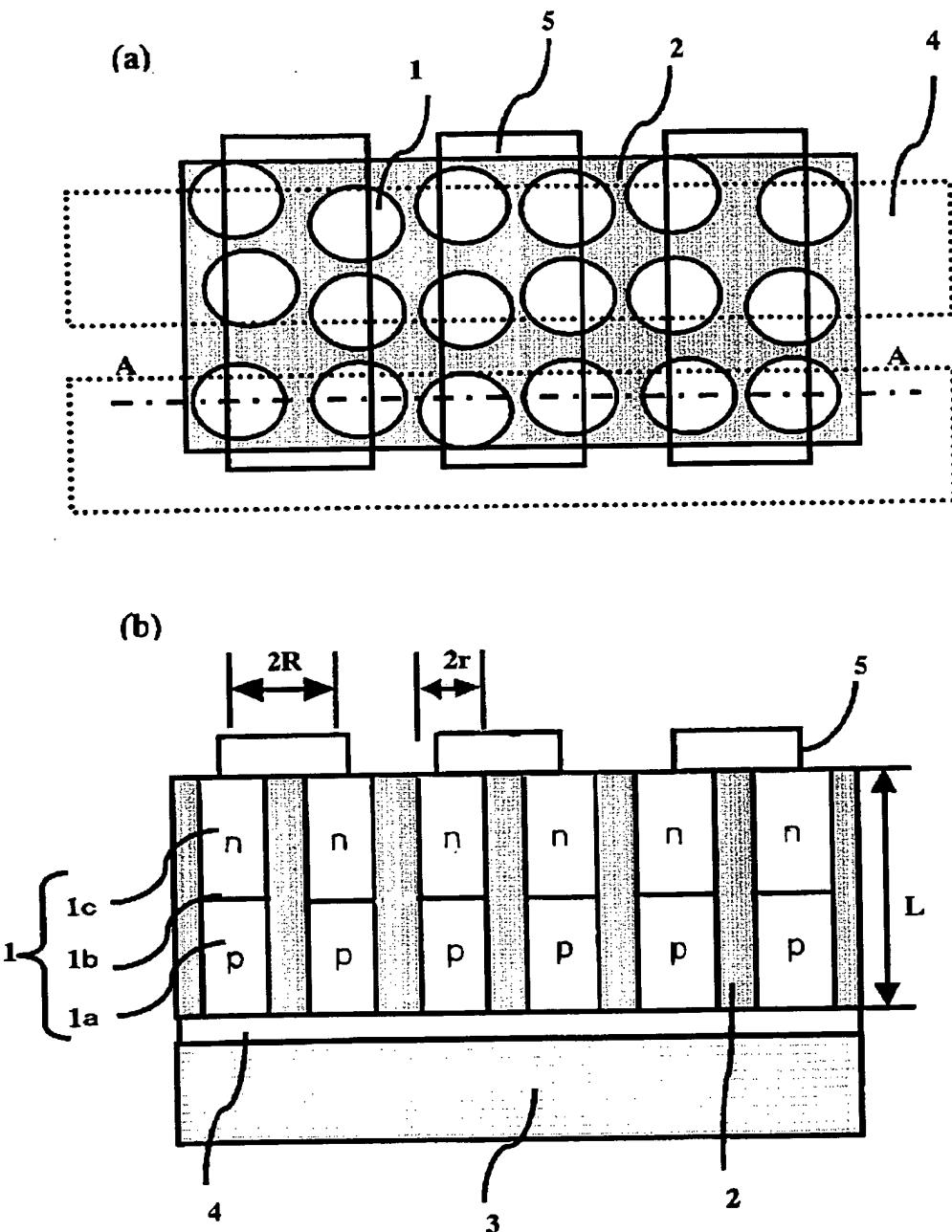
- 1 p-n型ダイオードの半導体部分
- 1 a p型半導体部分
- 1 b p-n接合面
- 1 c n型半導体部分
- 2 マトリクス部材領域
- 3 基板
- 4 下部電極
- 5 上部電極
- 1 1 p-i-n型ダイオードの半導体部分

- 11 a p型半導体部分
- 11 b p-i接合面
- 11 c 真性半導体部分
- 11 d i-n接合面
- 11 e n型半導体部分
- 21 p-n-p型トランジスタの半導体部分
- 21 a p型半導体部分
- 21 b p-n接合面
- 21 c n型半導体部分
- 21 d p-n接合面
- 21 e p型半導体部分
- 30 下部電極
- 31 基板
- 32 第一の成分の柱状構造体
- 33 第一の成分と第二の成分の混合薄膜領域
- 34 第二の成分領域
- 35 第二の成分からなる多孔質薄膜
- 36 空孔
- 37 第二の成分の酸化物からなる多孔質薄膜
- 38 ダイオード本体部分
- 39 上部電極
- 101 ダイオード本体部分
- 101 a p型シリコン部分
- 101 b p-n接合面
- 101 c n型シリコン部分
- 102 第二成分の酸化物領域
- 103 基板
- 104 下部電極
- 105 上部電極

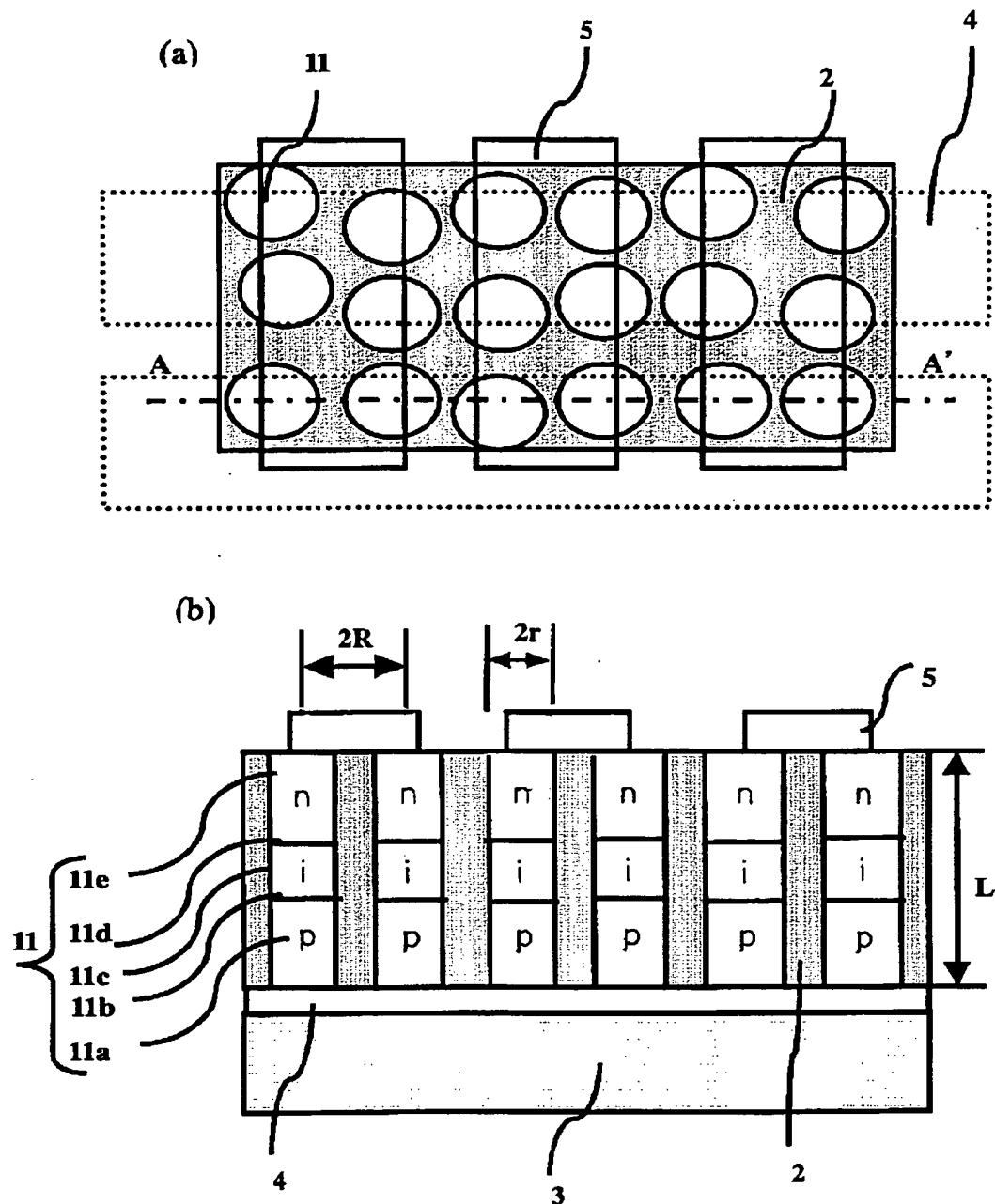
【書類名】

図面

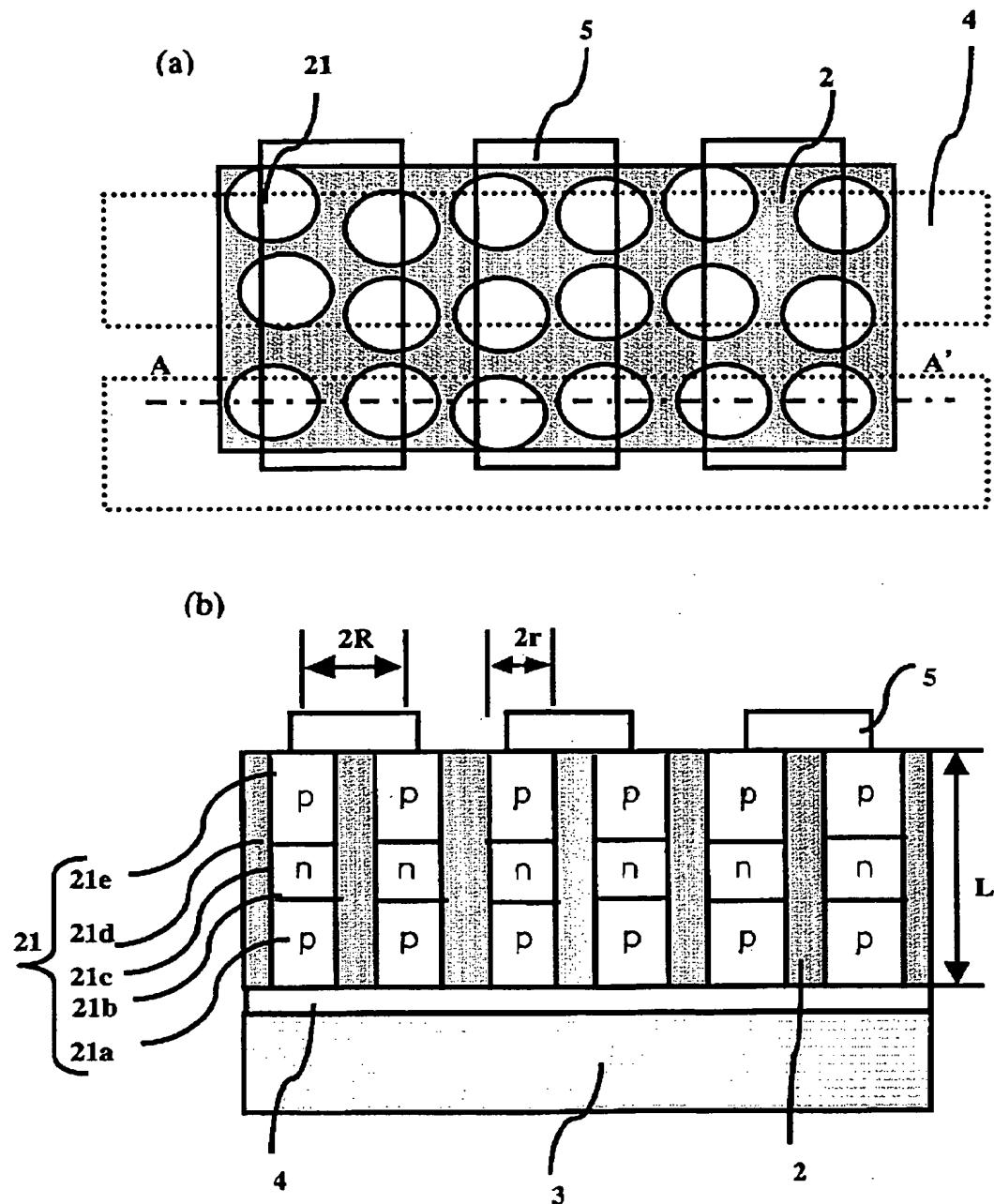
【図 1】



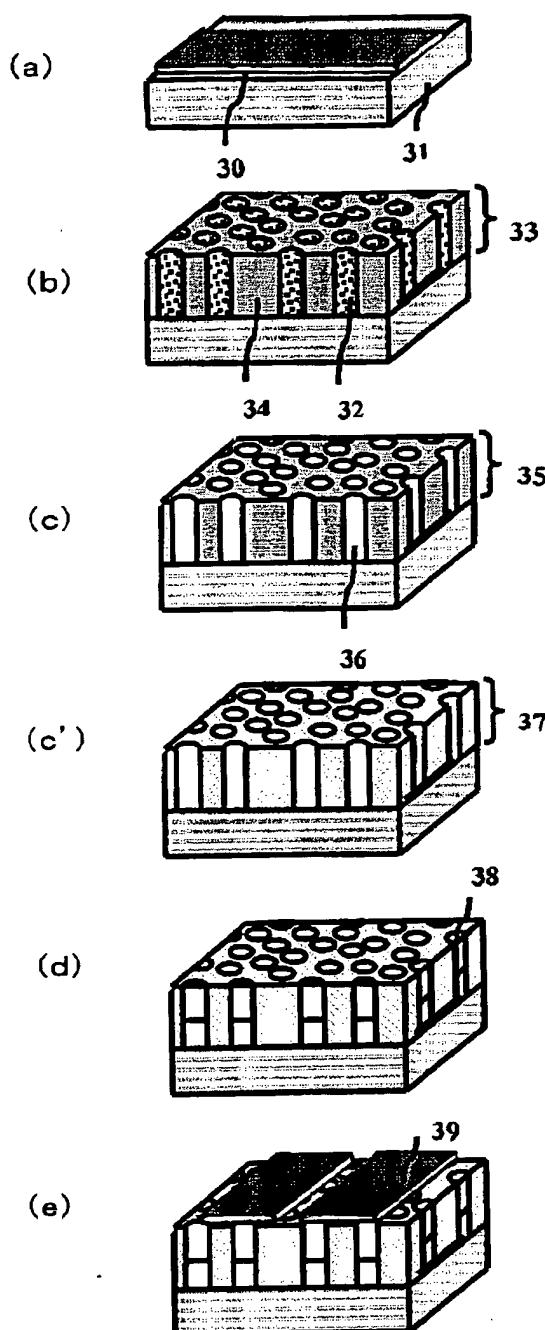
【図 2】



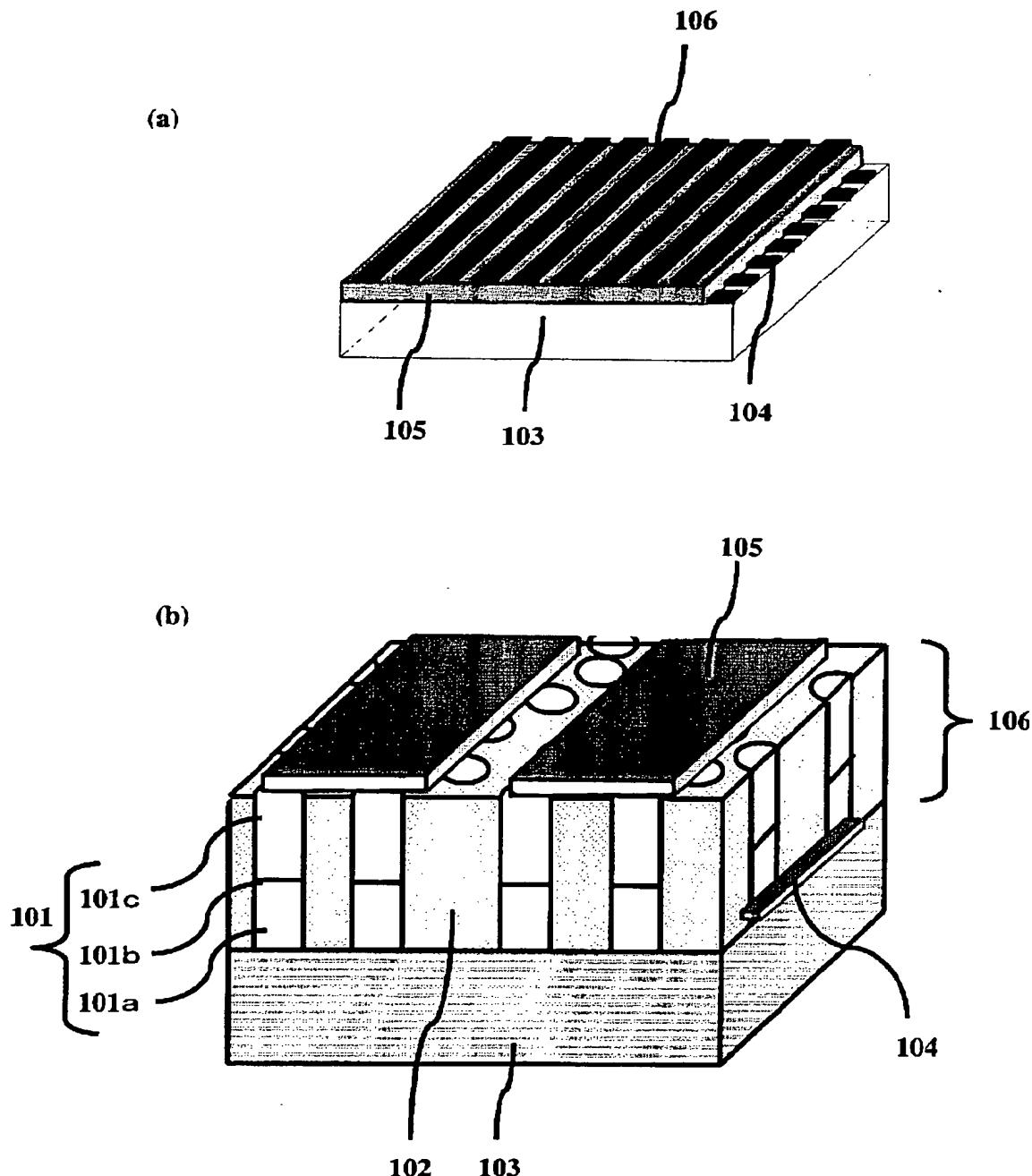
【図3】



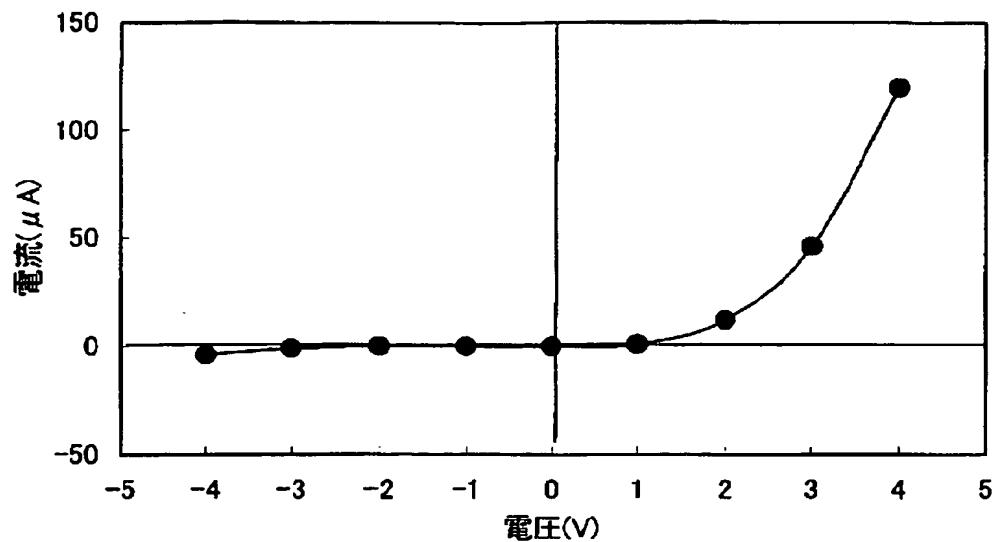
【図4】



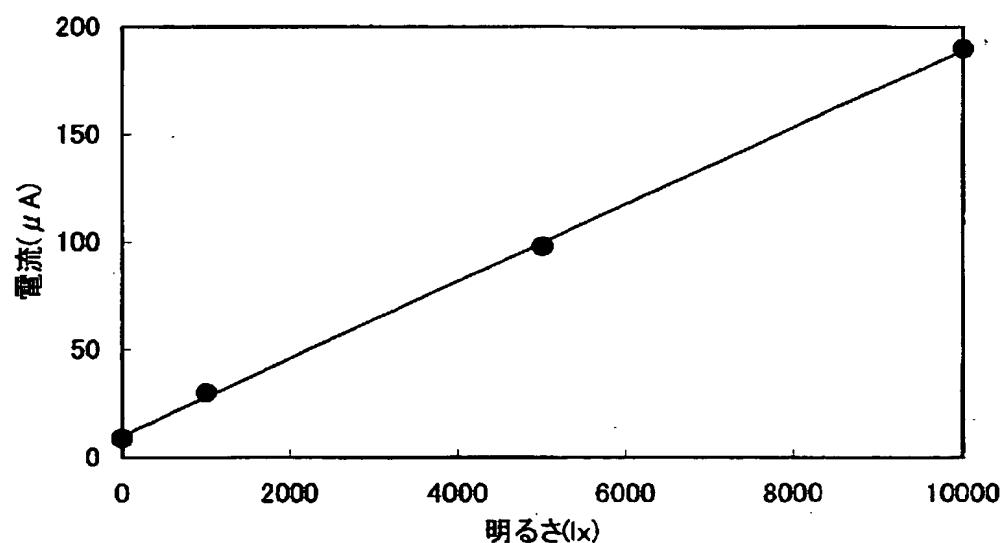
【図 5】



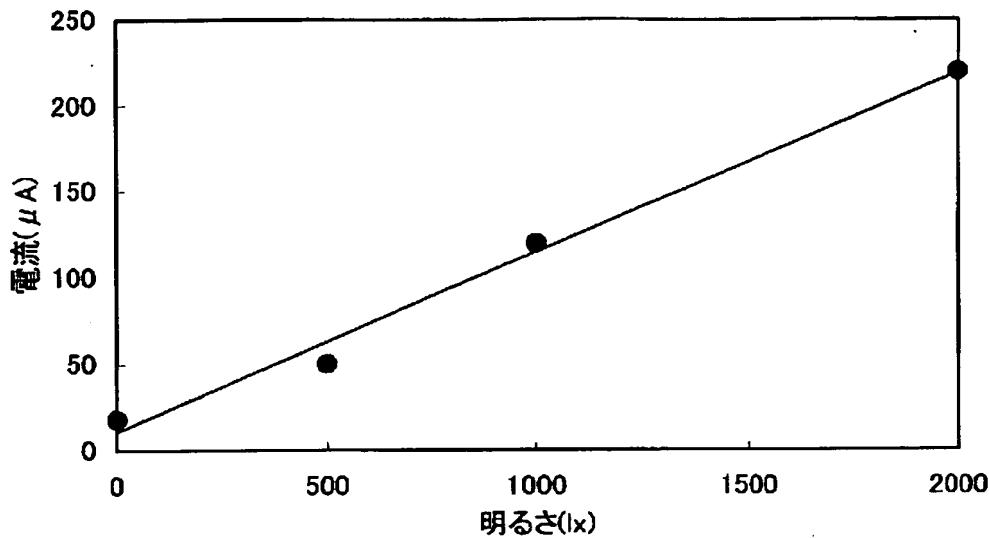
【図 6】



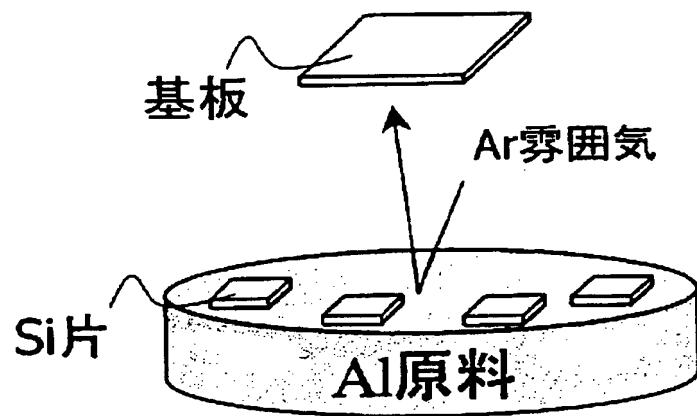
【図 7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 微細な半導体デバイスを高密度に並べたアレイを簡便な方法で作製する。

【解決手段】 シリコン又はゲルマニウムを含み構成されるマトリクス部材2中にアルミニウムを含み構成される柱状物質が分散している構造体から柱状物質を除去して形成された柱状の孔を有する多孔体と、孔内に形成された、少なくとも1つのp-n結合もしくはp-i-n結合を有する半導体領域1と、半導体領域1の上下に設置された一対の電極4、5とを備えた半導体デバイスを複数個基板上に有する。その後、多孔体を除去してもよい。

【選択図】 図1

特願 2002-363134

出願人履歴情報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住所 東京都大田区下丸子3丁目30番2号
氏名 キヤノン株式会社